

Architectures de traitements numériques embarquées

Responsable : Khalil Hachicha

Public et prérequis

Ingénieurs ou techniciens supérieurs souhaitant maîtriser, concevoir ou programmer des architectures de traitements numériques embarquées.

Matériel : la formation s'appuiera sur des cartes de développements Blackfin d'Analog Device pour les DSP et DEII pour les FPGA.

Objectifs

Être capable de mettre en œuvre des algorithmes de traitements numériques du signal sur des cibles de type processeur spécialisé (DSP), circuit reconfigurable (FPGA) et processeur reconfigurable (softcore).

Organisation

Durée et rythme de la formation : 4 jours consécutifs, à raison de 4h de cours le matin et 4h de TP l'après-midi. 50% de TP.

Nombre de participants : minimum 4.

Contenus

- DSP
 - Architecture des processeurs DSP.
 - Développement d'applications en C/C++ pour des cibles DSP.
 - Profiling et techniques d'optimisations
 - Etude de cas : Le Blackfin 533.
- FPGA
 - Langage de description matériel VHDL.
 - Conception d'architecture et implémentation sur cible FPGA.
 - Flot de conception FPGA.
 - Etude de cas : Carte NIOS 2 d'altéra.
- Processeur configurable (soft core)
 - Synthèse et implémentation d'un processeur configurable sur une cible FPGA.
 - étude de cas : NIOS 2.
- Analyses comparatives entre les différentes solutions.

Calendrier

Nous contacter

Validation

Attestation de stage.

Tarif

1 800 €.

Mots-clés : DSP, FPGA, processeur configurable, vhdl, Nios, Altera, traitement audio, blackfin, formation.

Contact Administratif

Pôle sciences - Audrey VIDAL – 01 44 27 82 82

email : formation.continue@upmc.fr

Accueil : campus Jussieu - tour 14 - couloir 14/24 – 5^è étage
4, place Jussieu - 75252 Paris cedex 05 - Métro Jussieu