

Systèmes intégrés : Prototypage virtuel en SystemC

Responsable : Alain Greiner

Public et prérequis

- Ingénieurs concepteurs de systèmes intégrés (matériel et logiciel).

Prérequis : la formation peut être suivie soit par des concepteurs d'architectures matérielles (possédant la maîtrise du langage VHDL ou Verilog), soit par des concepteurs d'applications logicielles embarquées (possédant une expérience en programmation parallèle).

Objectifs

- Acquérir les bases de la modélisation des systèmes intégrés multi-processeurs en langage SystemC.
- Apprendre à utiliser la plate-forme de prototypage virtuel SoCLib pour déployer des applications logicielles multi-tâches sur des architectures matérielles multi-processeurs.

Contenus

- Architectures multiprocesseurs à mémoire partagée. La hiérarchie mémoire et les différents types de caches.
- Norme VCI/OCF & Micro-réseaux intégrés sur puce.
- Systèmes d'exploitation embarqués : threads POSIX, et intergiciels de communication adaptés aux applications telecoms ou multi-media.
- Plate-forme de prototypage SoCLib et bibliothèque de composants virtuels.
- Langage SystemC : Modélisation Cycle-accurate, et modélisation transactionnelle.
- Méthode générale de conception conjointe du matériel et du logiciel : Graphe des tâches et des communications.
- Outils d'exploration architecturale, et introduction des coprocesseurs matériels spécialisés.
- Les concepts et méthodes de conception présentés en cours sont illustrés par une série de travaux pratiques permettant le déploiement d'une application logicielle de décompression MJPEG sur différentes architectures matérielle multiprocesseurs.

Contact administratif

Pôle sciences - Audrey VIDAL – 01 44 27 82 82

email : formation.continue@upmc.fr

Accueil : campus Jussieu - tour 14 - couloir 14/24 – 5^e étage
4, place Jussieu - 75252 Paris cedex 05 - Métro Jussieu

Organisation

Durée et rythme de la formation : 3 demi-journées par semaine pendant 7 semaines.

Capacité d'accueil : minimum 4 - maximum 10

Calendrier

Nous contacter

Validation

Attestation de stage.

Tarif

2 200 €.

(Individuels et demandeurs d'emploi, nous consulter).

Mots-clés : SystemC, Virtual Prototyping, System on Chip, Hardware/Software Codesign, Multi-thread Parallel Programming, Formation